

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP8079049
Publication date: 1996-03-22
Inventor(s): TAKADA MASATOSHI
Applicant(s):: KAWASAKI STEEL CORP
Requested Patent: ☐ JP8079049
Application Number: JP19940213314 19940907
Priority Number(s):
IPC Classification: H03K19/0175 ; H01L27/04 ; H01L21/822
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce a noise induced in a power supply Vss or a power supply line by decreasing an output current of a pre-buffer driving a final stage transistor(TR) so as to slow down the switching-on of the TR at the final stage.

CONSTITUTION: A pre-buffer used to drive an N-channel TR at a final stage is made up of a P-channel TR P12 and an N-channel TR N12. A gate terminal of the TR P12 is not directly connected to a power supply Vss but via the P-channel TR P11. Thus, even when the TR P12 is switched on, a voltage higher than a ground potential by a threshold voltage of the TR P11 is applied to the gate terminal. As a result, a saturated current of the Tr P12 is decreased to slow down the switch-on of the TR at the final stage.

Data supplied from the **esp@cenet** database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-79049

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

H03K 19/0175

H01L 27/04

21/822

H03K 19/00

101 F

H01L 27/04

E

審査請求 未請求 請求項の数 2 OL (全 8 頁)

(21) 出願番号

特願平6-213314

(22) 出願日

平成6年(1994)9月7日

(71) 出願人

000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者

▲高▼田 昌利

東京都千代田区内幸町2-2-3 日比谷
国際ビル 川崎製鉄株式会社東京本社内

(74) 代理人

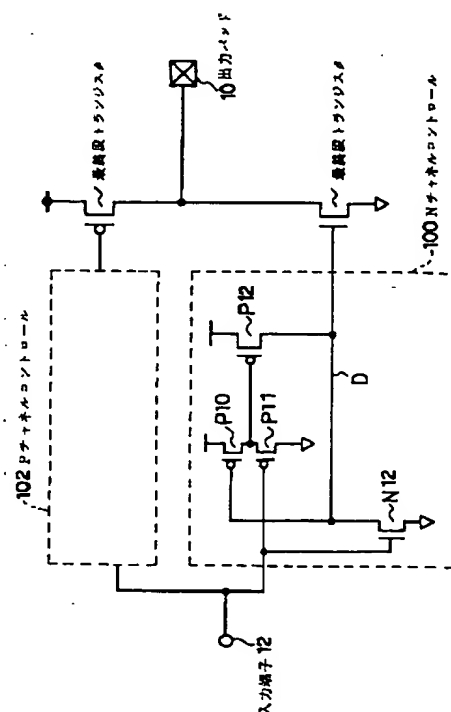
弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 最終段トランジスタを駆動するプリバッファの出力電流を小さくすることにより、最終段トランジスタのON動作を緩やかにし、 V_{ss} または電源ラインに誘発されるノイズを低減する。

【構成】 N側の最終段トランジスタを駆動するプリバッファは、P型のトランジスタP12と、N型のトランジスタN12とから構成される。このトランジスタP12のゲート端子は、直接 V_{ss} には接続されておらず、P型のトランジスタP11を介して接続されている。従って、P12がON動作する場合においても、そのゲート端子は接地電位より、トランジスタP11のスレッシュホールド電圧分だけ高い電圧が印加されている。その結果、トランジスタP12の飽和電流値は小さく抑えられ、最終段トランジスタのON動作を緩やかにすることが可能である。



【特許請求の範囲】

【請求項1】 ドライブトランジスタと、このドライブトランジスタを駆動するプリバッファと、を備えた出力バッファを有する半導体集積回路において、前記プリバッファを構成するトランジスタのゲート電圧を制限する制限手段、を含み、前記プリバッファがドライブトランジスタに対して印可する駆動電流の大きさが制限されることを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、前記制限手段は、前記プリバッファを構成するトランジスタのゲート端子に接続されているゲート電圧抑制用トランジスタ、を含み、前記プリバッファに印加されるゲート電圧は、前記ゲート電圧抑制用トランジスタのスレッシュホールド電圧分減少することを特徴とする半導体集積回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体集積回路に関する。特に、出力バッファ回路におけるノイズを低減させた半導体集積回路に関する。

【0002】

【従来の技術】 近年半導体集積回路は、様々な分野において幅広く用いられている。この半導体集積回路を構成するトランジスタは、回路が微細化されているため、極めて小さく形成されている。そのため、半導体集積回路内部の信号を外部に取り出す際には、駆動能力の大きな出力バッファを介して信号が取り出されることが多い。

【0003】 従来の出力バッファの回路図の一例が図8に示されている。図8に示されているように、従来の出力バッファは、2つのインバータを直列に接続した構成をなしている。このうち、出力パッド10側のインバータを構成するトランジスタは、一般に最終段トランジスタと呼ばれる。また、入力端子12側のインバータはプリバッファと呼ばれる。

【0004】 このような構成を有する出力バッファの動作は、図8から明らかなように、入力端子12に「H」または「L」の信号が入った場合に、図8中のAで示されるノードが「L」または「H」に変化することによって、最終段トランジスタを駆動する。そして、最終的にこの最終段トランジスタの出力信号が出力パッド10に「H」または「L」として現われるのである。

【0005】 通常、この最終段トランジスタの充放電電荷量は極めて大きく、最終段トランジスタの状態遷移時には、電源線すなわちV_{dd}、V_{ss}ノードに大きなノイズが誘発される。このようなノイズは、回路の誤動作の原因となるためこのノイズを低減する工夫が種々なされている。このノイズを低減する一つの手法として、最終段トランジスタがONするのをゆっくりさせるという手法がある。このためには、この最終段トランジスタの

ゲートを駆動させるノードの電位の変化を緩やかにするという方法が採用される。このような方法を適用した出力バッファの回路図が図9に示されている。図9に示されているように、ここに示されている出力バッファは、プリバッファがNチャネル側と、Pチャネル側とに分割されてそれぞれ専用のプリバッファが設けられている。Pチャネル側のプリバッファはトランジスタP1及びN1によって構成されており、Nチャネル側のプリバッファはトランジスタP2及びN2によって構成されている。そして、この図9に示されている出力バッファについて最終段トランジスタがONするのを緩やかにするために、B及びCで示されているノードの電位の変化が緩やかになるように、プリバッファのトランジスタのサイズが定められている。例えば、図9に示されている回路図においては、トランジスタN1がトランジスタP1より小さく形成されており、一方、ノードCに対してはトランジスタP2がトランジスタN2に対して小さく形成されている。

【0006】 このように、トランジスタのサイズ比を調節することにより、例えばノードBに対しては、トランジスタN1が小さく形成されているため最終段トランジスタのゲート端子（すなわちノードB）の電位がV_{ss}に落ちるのが緩やかになる。これは、いわばトランジスタN1の駆動能力が低いためである。同様にして、Nチャネル側においても、トランジスタP2のサイズが小さいため、ノードCの電位がV_{dd}に上昇するのが緩やかになる。これによって、最終段トランジスタがONするのを緩やかに設定することが可能である。

【0007】 このように、図9に示されている出力バッファによれば最終段トランジスタをONさせるためのノード（B、C）の電位変化を、プリバッファを構成するトランジスタのサイズ比を調整することにより緩やかにした。これによって、最終段トランジスタがONするのが緩やかになり、V_{dd}、V_{ss}ノードに誘発されるノイズを低減することが可能である。なお、特開平6-77807号公報にもノイズ低減を図った出力バッファが記載されている。

【0008】

【発明が解決しようとする課題】 上述したように、従来の改良された出力バッファによれば、トランジスタのサイズ比を調節することにより、具体的には図9に示されているトランジスタN1、P2のサイズを小さくすることにより、最終段トランジスタを駆動する能力を減少させた。これにより、ノードB、C（図9参照）の電位変化を緩やかにし、最終段トランジスタがONすることを緩やかに設定することができた。

【0009】 しかしながら、半導体集積回路におけるレイアウト等の都合から、トランジスタN1、P2のサイズとしては小さくする限界がある。このため、図9におけるノードB、Cの電位変化を緩やかにするとしても、

一定の限界があるためノイズの低減もある一定のレベル以上にはならないといった問題があった。

【0010】本発明は、上記課題に鑑みなされたものであり、その目的は、最終段トランジスタのゲートの電位の変化を従来より更に緩やかにすることにより、従来と比べて格段にノイズを低減可能なバッファ回路を有する半導体集積回路を提供することである。

【0011】

【課題を解決するための手段】第一の本発明は、上記課題を解決するために、ドライブトランジスタと、このドライブトランジスタを駆動するプリバッファと、を備えた出力バッファを有する半導体集積回路において、前記プリバッファを構成するトランジスタのゲート電圧を制限する制限手段、を含み、前記プリバッファがドライブトランジスタに対して印可する駆動電流の大きさが制限されることを特徴とする半導体集積回路である。

【0012】第二の本発明は、上記課題を解決するために、第一の本発明の半導体集積回路において、前記制限手段は、前記プリバッファを構成するトランジスタのゲート端子に接続されているゲート電圧抑制用トランジスタ、を含み、前記プリバッファに印加されるゲート電圧は、前記ゲート電圧抑制用トランジスタのスレッシュホールド電圧分減少することを特徴とする半導体集積回路である。

【0013】

【作用】第一の本発明における制限手段は、プリバッファの出力電流を制限するので、ドライブトランジスタに対するいわゆる駆動能力が弱くなることになる。そのため、ドライブトランジスタがONするのを緩やかにすることができる。

【0014】第二の本発明における制限手段は、ゲート電圧抑制用トランジスタによって抑制されたゲート電圧がプリバッファのゲート端子に印加される。従って、簡易な構成でプリバッファのゲート電圧を抑制することができ、その結果このプリバッファの出力電流の制限が容易になされる。

【0015】

【実施例】以下、本発明の好適な実施例を図面に基いて説明する。

【0016】図1には、本発明の好適な実施例である半導体集積回路の出力バッファの回路図が示されている。図1に示されているように、Nチャネル側の最終段トランジスタを駆動するNチャネルコントロール100は、プリバッファであるトランジスタP12、N12の他に、トランジスタP10及びP11を含んでいる。このトランジスタP10及びP11は、本発明のゲート電圧抑制用トランジスタである。この2つのトランジスタP10、P11によってプリバッファを構成するトランジスタであるトランジスタP12のゲート電圧が抑制されているのである。このように、本実施例においては、プ

リバッファを構成するトランジスタP12に印加されるゲート電圧が抑制されているため、トランジスタP12に流れる電流が減少し、その結果Nチャネル側の最終段トランジスタをONするための電圧変化量が小さくなるのである。このようにして、Nチャネル側の最終段トランジスタが緩やかにONされるのである。

【0017】本実施例において特徴的なことは、プリバッファを構成するトランジスタであるトランジスタP12の出力電流を減少させる手段としてゲート電圧抑制用トランジスタP10及びP11とが備えられていることである。これによって、例えばプリバッファを構成するトランジスタP12がON動作する場合、すなわちトランジスタP12のゲート端子に「L」レベルの電圧が印加される時には、トランジスタP11を介して、ゲート端子に「L」レベルの電圧が供給されるのである。この際、図1に示されているようにトランジスタP11は、Pチャネル側のトランジスタであるため、スレッシュホールド電圧分だけ V_{ss} より高い電圧がトランジスタP12のゲート端子に供給されるのである。

【0018】本実施例において特徴的なことは、このようにトランジスタP12がON動作する場合に、そのゲート端子に V_{ss} 電位ではなく、 V_{ss} 電位よりトランジスタP11のスレッシュホールド電圧分だけ高い電圧が供給されていることである。これによって、トランジスタP12に流れる出力電流の値が小さくなり、結果として最終段トランジスタのON動作が緩やかになるのである。このように、本実施例においては、プリバッファのトランジスタに印加されるゲート電圧を抑制することにより、そのプリバッファの出力電流を小さくした。従って、従来プリバッファを構成するトランジスタのサイズを小さくすることによりその出力電流を小さく設定していたのに対し、出力電流の大きさをより小さくすることが可能である。その結果、最終段トランジスタのON動作を更に一層緩やかにすることができ、ノイズの低減に寄与するものである。なお、図1に示されているNチャネルコントロール100において、トランジスタP10は、トランジスタP12がOFF動作する際に、トランジスタP12のゲート端子に「H」レベルの電位を供給するためのトランジスタである。

【0019】図1には、Nチャネルコントロール100側の回路図が示されているが、P側の最終段トランジスタに対するPチャネルコントロール102の回路は、Nチャネルコントロール100と対称に現われる。そのため、図1においてはPチャネルコントロール102の回路図は省略し、図示されていない。Pチャネルコントロール102の回路は、Nチャネルコントロール100の回路とN型とP型との導電方がそれぞれ反対になるだけであり、その動作も全く同様である。

【0020】図2には、トランジスタのドレインソース間の電圧電流特性のグラフが示されている。このグラ

フにおいて、横軸はドレインソース間電圧 $|V_{ds}|$ であり、縦軸はドレインソース間電流 $|I_{ds}|$ である。なお、それぞれの電圧及び電流において絶対値を採っているのは、説明をわかりやすくするためである。このグラフに示されているように、一般にドレインソース間電圧 V_{ds} が大きくなると、ドレインソース間電流 I_{ds} はそれに伴って大きくなり、やがて一定の飽和電流となり、電流は増えなくなる。この飽和電流値は、ゲートソース間電圧 V_{gs} によって定められる。例えば、図2に示されているグラフには2種類の異なる電圧値のゲートソース間電圧が印加された場合の2本のグラフが示されている。このグラフにおいては、ゲートソース間電圧 V_{gs2} の方がゲートソース間電圧 V_{gs1} よりその絶対値が大きいのとしている。このように、ゲートソース間電圧が上昇すれば、それに伴ってドレインソース間電流の飽和電流値の大きさも大きくなるのである。換言すれば、トランジスタのドレインソース間電流の大きさを小さくするにはそのトランジスタに印加されるゲートソース間電圧の大きさを小さくすれば良いことが理解されよう。

【0021】本実施例は、このようなトランジスタの特性に鑑みて想到されたものであり、プリバッファを構成するトランジスタに印加されるゲート電圧を下げることに、プリバッファから出力される出力電流の大きさを小さくせんとするものである。

【0022】図3には、従来の出力バッファの、例えばNチャンネル側の回路図が示されている。この図から理解されるように、Nチャンネル側の最終段トランジスタのゲート電圧が「L」から「H」に変化する場合の変化の割合を緩やかにするためには、この変化を引き起こすPチャンネルトランジスタに印加されるゲートソース間電圧 V_{gs} の大きさを小さくすれば良いことが理解されよう。このPチャンネル型トランジスタのゲート端子に印加される信号は例えば図3においてDで示されている。

【0023】図3に示されているP型トランジスタがON動作する際のゲートソース間電圧を下げるには、このゲート端子Dに印加する電圧を V_{ss} より上昇させることである。このような手段の一例が図4に示されている。図4に示されているように、 V_{ss} に接続されているP型トランジスタを設け、このトランジスタのドレイン端子を、図3に示されているP型トランジスタのゲート端子に接続するのである。これによって、「L」レベルの信号を直接に（図3に示されている）P型トランジスタのゲート端子（「D」）に印加するのではなく、間に図4に示されているP型トランジスタを介することによって、この図4に示されているP型トランジスタのスレッシュホールド電圧 V_{TH} だけ高い電圧を供給することができる。これによって、プリバッファのトランジスタに印加されるゲートソース間電圧を下げる事が可能となり、プリバッファの出力電流を小さくすることができる

ものである。

【0024】図1に示されている回路のNチャンネルコントロール100の具体的な動作を図5に示されているタイムチャートに基づいて説明する。図5に示されているタイムチャートは、横軸が時間であり、縦軸が電位を表す。まず、図5に示されているタイムチャートにおいて入力端子の電位が破線で表されている。すなわち、図5のタイムチャートに示されているように、時刻 t_1 まではトランジスタP12がON動作しており、時刻 t_1 から時刻 t_2 の間はトランジスタP12がOFF動作している。そして、時刻 t_2 以降はトランジスタP12がON動作するのである。

【0025】まず、時刻 t_1 までの間は、入力端子に印加される信号のレベルは「L」であり、トランジスタP12がON動作している。その結果、N側の最終段トランジスタのゲート端子には電源電位に等しい V_{dd} の電位が印加されており、最終段トランジスタがON状態となっている。なお、図5に示されているタイムチャートにおいてはトランジスタP12のドレイン端子、すなわちN側の最終段トランジスタのゲート端子の電位が太線で示されている。

【0026】次に、時刻 t_1 を経過すると、入力端子には「H」レベルの信号が印加される。このように時刻 t_1 から時刻 t_2 までの間はトランジスタP12がOFF動作し、代わりにN型のトランジスタN12がON動作する。すなわち、トランジスタP12のドレイン端子、すなわちN側最終段トランジスタのゲート端子はほぼ V_{ss} （接地電位）となる。

【0027】次に、時刻 t_2 を経過すると、入力端子に印加される信号のレベルは再び「L」レベルとなる。この時、トランジスタP12は再びON動作をすることになるが、この時トランジスタP12のゲート端子に印加される信号のレベルは、入力端子に印加される信号のレベルそのものではなく、トランジスタP11のスレッシュホールド電圧 V_{TH} 分だけ高い電圧となる。図5に示されているタイムチャートにはこのトランジスタP12のゲート端子に印加される信号の電位が一点鎖線で示されている。このタイムチャートから理解されるように、トランジスタP12がON動作する際にそのゲート端子に印加される電位は、入力端子に印加される信号のレベルそのものではなくスレッシュホールド電圧 V_{TH} 分だけ高い電位となる。これによって、従来の回路と比較して、トランジスタP12に流れる電流の値を極めて小さくすることが可能である。そのため、最終段トランジスタのゲート端子に現われる電位は緩やかに上昇することになる。この緩やかに上昇する様子が図5のタイムチャートに太線で示されている。このように、本実施例によれば最終段トランジスタのゲート電圧が徐々に上昇することにより、最終段トランジスタは徐々にON動作することになる。そのため、従来の回路と比較してよりノイズの低減を図

ることが可能である。

【0028】図6には、本実施例に係る出力バッファの最終段トランジスタのゲート電位の変化を表すグラフが示される。このグラフは横軸が時間であり、縦軸がこのゲート端子の電位を表す。上述したように最終段トランジスタを駆動するプリバッファの出力電流が従来に比べてはるかに小さく設定することが可能となるので、その結果最終段トランジスタのゲート電位の変化も従来と比べてはるかに緩やかにすることが可能である。この結果最終段トランジスタのON動作を極めてゆっくりとすることができ、ノイズの低減を図れるものである。図7にはこの最終段トランジスタの電流変化に起因するノイズの様子を示すグラフが示されている。このグラフにおいて、横軸は時間であり、縦軸は V_{ss} に誘発されるノイズの電位である。図6に示されているように、従来と比べてはるかにゆっくりと最終段トランジスタをON動作させることが可能であるので、この結果 V_{ss} に誘発されるノイズも極めて小さく抑えることができる。図7に示されているように、最終段トランジスタのON動作に誘発されて従来は V_{ss} に大きな振幅のノイズが誘発されたが、本実施例によれば図7に破線で示されているようにこの誘発されるノイズの大きさを小さくすることが可能である。

【0029】

【発明の効果】以上述べたように、第一の本発明によればプリバッファのトランジスタに印加されるゲート電圧を制限したため、プリバッファのトランジスタのサイズを小さくすることなく、その出力電流を小さくすることが可能である。そのため、従来と比べて最終段トランジスタのON動作をより一層緩やかにすることができ、その結果より一層ノイズの低減に効果を奏するものである。

【0030】第二の本発明によれば、プリバッファのト

ランジスタのゲート電圧を制限する手段としてゲート電圧抑制用トランジスタを備えている。そして、このゲート電圧抑制用トランジスタのスレッシュホールド電圧分ゲート電圧を低下させることにより、プリバッファの出力電流を小さくすることが可能である。その結果、プリバッファを構成するトランジスタのサイズを小さくすることなくプリバッファの出力電流を容易に小さくすることができ、最終段トランジスタのON動作をよりゆるやかにすることが可能である。その結果、容易に低ノイズ化された半導体集積回路が得られるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の好適な実施例である半導体集積回路の出力バッファの回路図である。

【図2】トランジスタの電圧電流特性を表す図である。

【図3】従来の出力バッファのN側の回路図である。

【図4】 V_{ss} に設置されたP型トランジスタの接続回路図である。

【図5】図1に示された実施例の動作を説明するタイムチャートである。

【図6】最終段トランジスタのゲート端子の電位の変化を表すタイムチャートである。

【図7】 V_{ss} に現われるノイズの様子を表すグラフである。

【図8】従来の半導体集積回路に用いられる出力バッファの一例を表す回路図である。

【図9】従来の改良された出力バッファの回路図である。

【符号の説明】

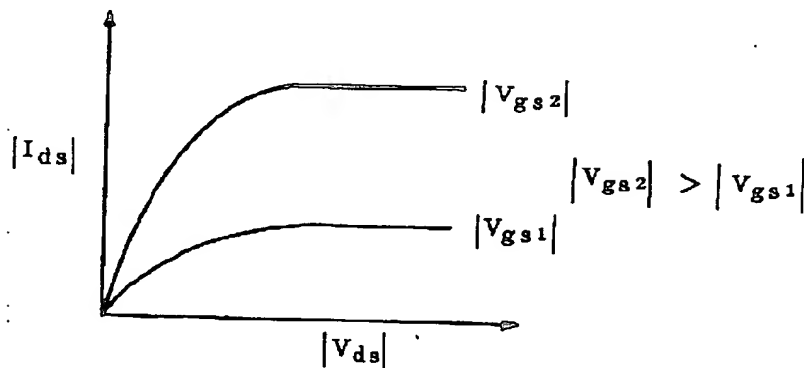
100 Nチャネルコントロール

102 Pチャネルコントロール

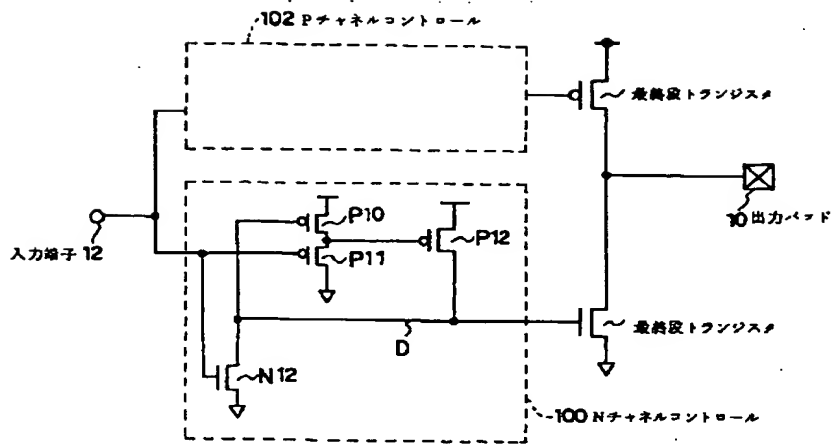
10 出力パッド

12 入力端子

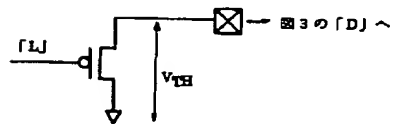
【図2】



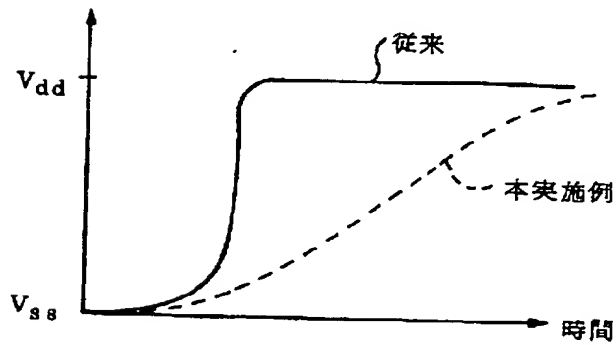
【図1】



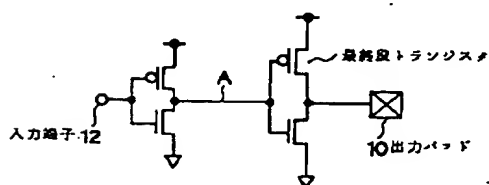
【図4】



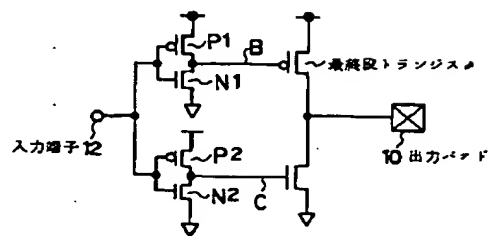
【図6】



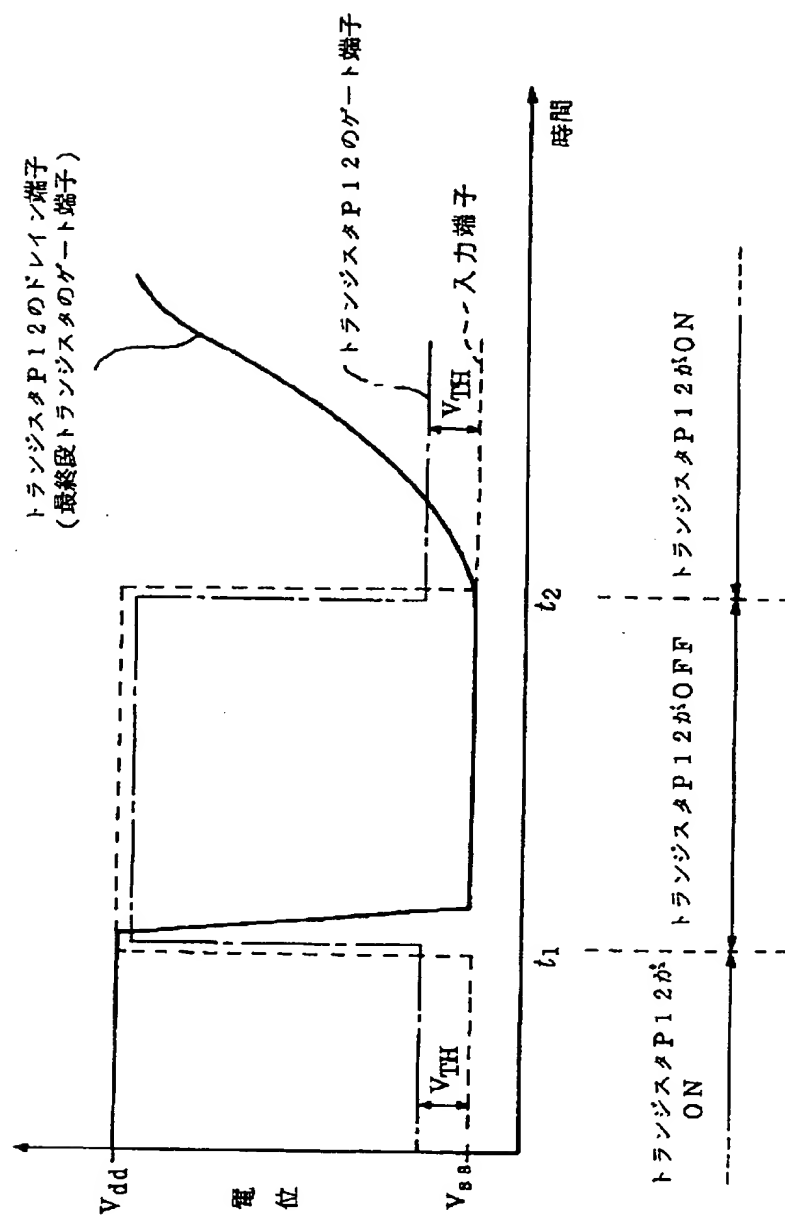
【図8】



【図9】



【図5】



【図7】

